

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2002-351388

(P2002-351388A)

(43)公開日 平成14年12月6日 (2002.12.6)

(51) Int.Cl. ⁷	識別記号	F I	テマコード*(参考)
G 0 9 G 3/28		G 0 9 G 3/20	6 2 1 H 5 C 0 5 8
3/20	6 2 1		6 2 4 P 5 C 0 8 0
	6 2 4	H 0 4 N 5/66	1 0 1 B
H 0 4 N 5/66	1 0 1	G 0 9 G 3/28	H
			E

審査請求 未請求 請求項の数 5 O L (全 13 頁)

(21)出願番号 特願2001-152744(P2001-152744)

(22)出願日 平成13年5月22日(2001.5.22)

(71)出願人 599132708

富士通日立プラズマディスプレイ株式会社
神奈川県川崎市高津区坂戸3丁目2番1号

(72)発明者 小野澤 誠

神奈川県川崎市高津区坂戸3丁目2番1号
富士通日立プラズマディスプレイ株式会社内

(72)発明者 大沢 通孝

神奈川県川崎市高津区坂戸3丁目2番1号
富士通日立プラズマディスプレイ株式会社内

(74)代理人 100077517

弁理士 石田 敬 (外4名)

最終頁に続く

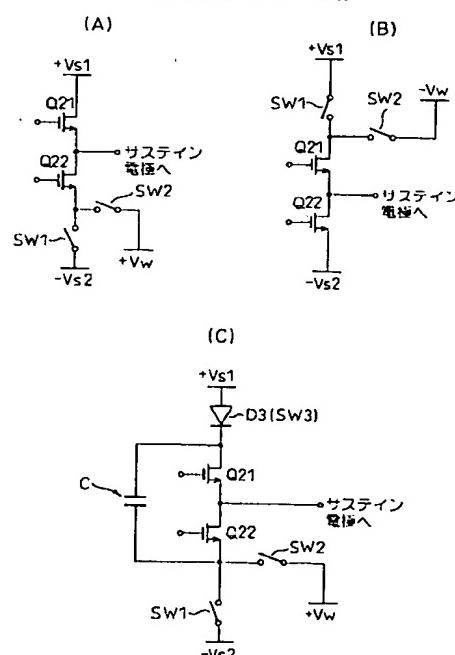
(54)【発明の名称】 プラズマディスプレイ装置

(57)【要約】

【課題】 サステイン電圧以上の電圧が印加される場合も、サステイン電圧に応じた電圧定格のサステイン出力素子（トランジスタ）を使用できる回路の実現。

【解決手段】 第3電極と交差する方向に互いに隣接して配置された第1電極X及び第2電極Yを有する表示パネル1と、X駆動回路3と、Y駆動回路5とを備え、交互に第1電圧+Vs1と第2電圧-Vs2を印加してサステイン放電を行い、X及びY駆動回路は、第1サステイン駆動トランジスタQ21と、第2サステイン駆動トランジスタQ22とをそれぞれ備えるプラズマディスプレイ装置であって、第2電圧との電圧差が第1電圧と第2電圧との電圧差より大きな第3電圧Vwが印加され、X及びY駆動回路は、第2サステイン駆動トランジスタQ22と第2電圧の供給源の間に設けられた第1スイッチSW1を備え、第3電圧は第1スイッチSW1を開放した状態で第1又は第2サステイン駆動トランジスタに供給される。

図3 本発明の駆動回路の基本構成



【特許請求の範囲】

【請求項1】 第3電極と交差する方向に、互いに隣接して配置された第1電極及び第2電極を有する表示パネルと、前記第1電極を駆動するX駆動回路と、前記第2電極を駆動するY駆動回路とを備え、前記第1電極と前記第2電極に交互に第1電圧と第2電圧を印加して前記第1電極と前記第2電極との間でサステイン放電を行い、

前記X駆動回路と前記Y駆動回路は、一方の端子が前記第1電極又は前記第2電極に接続され、他方の端子に前記第1電圧が供給される第1サステイン駆動トランジスタと、一方の端子が前記第1電極又は前記第2電極に接続され、他方の端子に前記第2電圧が供給される第2サステイン駆動トランジスタとをそれぞれ備えるプラズマディスプレイ装置であって、

前記第1電極と前記第2電極の少なくとも一方には、前記第2電圧との電圧差が、前記第1電圧と前記第2電圧との電圧差より大きな第3電圧が印加され、前記第3電圧を印加する前記X駆動回路又は前記Y駆動回路は、前記第2サステイン駆動トランジスタと前記第2電圧の供給源の間に設けられた第1スイッチを備え、前記第3電圧は、前記第1スイッチを開放した状態で前記第1又は第2サステイン駆動トランジスタに供給されることを特徴とするプラズマディスプレイ装置。

【請求項2】 請求項1に記載のプラズマディスプレイ装置であって、

前記第3電圧を印加する前記X駆動回路又は前記Y駆動回路は、前記第3電圧の供給源と前記第2のサステイン駆動トランジスタとの間に設けられた第2スイッチを備えるプラズマディスプレイ装置。

【請求項3】 請求項1に記載のプラズマディスプレイ装置であって、

前記第3電圧を印加する前記X駆動回路又は前記Y駆動回路は、第4電圧の供給源と前記第2サステイン駆動トランジスタとの間に設けられた第2スイッチと、前記第1サステイン駆動トランジスタと前記第1電圧の供給源の間に設けられた第3スイッチと、前記第1サステイン駆動トランジスタの他方の端子と前記第2サステイン駆動トランジスタの他方の端子との間に設けられた容量とを備え、

前記第3電圧は、前記第1及び第3スイッチを接続し、前記第2スイッチを開放して前記容量に前記第1と第2電圧の差が保持された状態から、前記第1及び第3スイッチを開放し、前記第2スイッチを接続することにより、前記容量の一方の端子に前記第4電圧を印加して前記容量の他端に前記第1と第2電圧の差に前記第4電圧を加算して発生され、前記第1サステイン駆動トランジスタに供給されるプラズマディスプレイ装置。

【請求項4】 第3電極と交差する方向に、互いに隣接して配置された第1電極及び第2電極を有する表示パネ

ルと、前記第1電極を駆動するX駆動回路と、前記第2電極を駆動するY駆動回路とを備え、前記第1電極と前記第2電極に交互に第1電圧と第2電圧を印加して前記第1電極と前記第2電極との間でサステイン放電を行い、

前記X駆動回路と前記Y駆動回路は、一方の端子が前記第1電極又は前記第2電極に接続され、他方の端子に前記第1電圧が供給される第1サステイン駆動トランジスタと、一方の端子が前記第1電極又は前記第2電極に接続され、他方の端子に前記第2電圧が供給される第2サステイン駆動トランジスタとをそれぞれ備えるプラズマディスプレイ装置であって、

前記第1電極と前記第2電極の少なくとも一方には、前記第1電圧との電圧差が、前記第2電圧と前記第1電圧との電圧差より大きな第3電圧が印加され、前記第3電圧を印加する前記X駆動回路又は前記Y駆動回路は、前記第1サステイン駆動トランジスタと前記第1電圧の供給源の間に設けられた第1スイッチを備え、前記第3電圧は、前記第1スイッチを開放した状態で前記第1又は第2サステイン駆動トランジスタに供給されることを特徴とするプラズマディスプレイ装置。

【請求項5】 請求項4に記載のプラズマディスプレイ装置であって、

前記第3電圧を印加する前記X駆動回路又は前記Y駆動回路は、前記第3電圧の供給源と前記第1のサステイン駆動トランジスタとの間に設けられた第2スイッチを備え、前記第3電圧は前記第1スイッチを開放した状態で前記第2スイッチを接続して第1サステイン駆動トランジスタに供給されるプラズマディスプレイ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、プラズマディスプレイ装置に関し、特に維持放電（サステイン放電）を行う電極に電圧パルスを印加する駆動回路の改良に関する。

【0002】

【従来の技術】 平面ディスプレイとしてプラズマディスプレイ装置が実用化されており、高輝度の薄型ディスプレイとして期待されている。図1は、従来の3電極型のAC駆動方式のプラズマディスプレイ装置の全体構成を示す図である。図示のように、プラズマディスプレイ装置は、隣接して配置した複数のX電極（X₁, X₂, X₃, …, X_n）及びY電極（Y₁, Y₂, Y₃, …, Y_n）と、それに交差する方向に配置した複数のアドレス電極（A₁, A₂, A₃, …, A_m）と、交差部分に配置した蛍光体とを有する2枚の基板間に放電ガスを封入したプラズマディスプレイパネル（PDP）1と、アドレス電極にアドレスパルスなどを印加するアドレスドライバ2と、X電極に維持放電（サステイン）パルスなどを印加するX共通ドライバ3と、Y電極に順次走査パル

スなどを印加する走査ドライバ4と、Y電極に印加する維持放電（サステイン）パルスなどを走査ドライバ4に供給するY共通ドライバ5と、各部の制御を行う制御回路6とを備え、制御回路6は、更にフレームメモリを含む表示データ制御部7と、走査ドライバ制御部9と共に通ドライバ制御部10で構成される駆動制御回路8とを有する。プラズマディスプレイ装置については広く知られているので、ここでは装置全体に関するこれ以上の詳しい説明は省略し、本発明に関係するX共通ドライバ3とY共通ドライバ5についてのみ更に説明する。プラズマディスプレイ装置のX共通ドライバ、走査ドライバ及びY共通ドライバについては、例えば、特開平9-68946号公報及び特開2000-194316号公報などに開示されている。

【0003】図2は、これらの公知例に開示されたX共通ドライバ、走査ドライバ及びY共通ドライバの構成例を示す図である。複数のX電極は共通に接続され、X共通ドライバ3により駆動される。X共通ドライバ3は、電圧源+Vs1、-Vs2、+Vx、-Vwxと共に通のX電極端子との間に設けられた出力素子（トランジスタ）Q8、Q9、Q10、Q11を備える。いずれかのトランジスタをオンすることにより共通のX電極端子に対応する電圧が供給される。

【0004】走査ドライバ4は、各Y電極毎に設けられた個別ドライバで構成され、各個別ドライバはトランジスタQ1、Q2及びそれと並列に設けられたダイオードD1、D2を有する。各個別ドライバのトランジスタQ1、Q2及びダイオードD1、D2の一端は各Y電極に接続され、他端はY共通ドライバ5に共通に接続される。Y共通ドライバ5は、電圧源+Vs1、-Vs2、+Vwy、+Vy、グランド（GND）との間に設けられたトランジスタQ3、Q4、Q5、Q6、Q7を備え、Q3、Q5、Q7はトランジスタQ1とダイオードD1に接続され、Q4とQ6はトランジスタQ2とダイオードD2に接続される。

【0005】リセット期間には、Q5とQ11をオンにして、他のトランジスタをオフにして、Y電極には+Vwyを、X電極には-Vwxを印加して全面書き込み・消去パルスを発生させてパネル1の表示セルを同じ状態にする。この時、電圧+Vwyは、Q5及びD1を介してY電極に印加される。アドレス期間には、Q6、Q7とQ10をオンにし、他のトランジスタをオフにし、X電極には+Vxを印加し、Q2の端子に電圧+Vyを印加し、Q1の端子にGNDを印加する。この状態で、Q1をオンにしてQ2をオフにする走査パルスを個別ドライバに順次印加する。この時、走査パルスが印加されない個別ドライバでは、Q1をオフにしてQ2をオンにするので、走査パルスが印加されY電極にはQ1を介してGNDが印加され、それ以外のY電極にはQ2を介して+Vyが印加され、正のデータ電圧が印加されるアドレ

ス電極と走査パルスが印加されY電極の間でアドレス放電が発生する。このようにして、パネルの各セルが表示データに応じた状態になる。

【0006】維持放電（サステイン）期間には、Q1、Q2、Q5-Q7、Q10、Q11をオフにした状態で、Q3とQ9、Q4とQ8を交互にオンにする。ここでは、これらのトランジスタをサステイントランジスタと呼ぶ。これにより、Y電極とX電極には+Vs1と-Vs2が交互に印加され、アドレス期間にアドレス放電を行ったセルで維持放電が発生して表示が行われる。この時、Q3がオンすると、+Vs1はD1を介してY電極に印加され、Q4がオンすると、-Vs2はD2を介してY電極に印加される。すなわち、維持放電期間には、X電極とY電極間にはVs1+Vs2の電圧が交互に逆極性で印加されることになる。ここでは、この電圧をサステイン電圧と呼ぶ。

【0007】なお、上記の例は一例であり、リセット期間、アドレス期間及び維持放電期間にどのような電圧を印加するかについては各種の変形例があり、走査ドライバ4、Y共通ドライバ5及びX共通ドライバ6についても各種の変形例がある。

【0008】

【発明が解決しようとする課題】走査パルスは各Y電極に順次印加する必要があり、走査パルスの印加に関するQ1とQ2は高速動作が要求される。また、維持放電の回数は表示輝度に関係し、所定の時間内にできるだけ多くの維持放電が行えることが求められるので、維持放電パルスの印加に関するサステイントランジスタQ3、Q4、Q8、Q9も高速動作することが要求される。一方、プラズマディスプレイ装置では、放電を発生させるため各電極に高電圧を印加する必要があり、トランジスタの耐圧も大きいことが要求される。耐圧の大きなトランジスタでも動作速度が比較的低速のもの、及び動作速度が高速でも耐圧が比較的低いものは低コストで製造できるが、耐圧の大きく且つ動作速度が高速のものは高コストである。

【0009】図2のトランジスタのうち、Q6-Q7、Q10、Q11は高速動作が要求される走査パルスの印加や維持放電パルスの印加に直接関係しないので動作速度は比較的低速でよい。また、Q1とQ2は高速動作が要求されるが、並列にD1とD2が設けられており、印加される電圧は+VyとGNDであり、この電圧差は比較的小さく、Q1とQ2の耐圧は比較的小さくてよい。

【0010】これに対して、サステイントランジスタQ3、Q4、Q8、Q9は高速動作が必要であると共に、高電圧が印加される。図2に示すように、X共通ドライバ3では、共通に接続されたX電極は、Q8-Q11を介して+Vs1、-Vs2、+Vx、-Vwxに接続されており、Q8がオンの時には共通のX電極に+Vs1が印加されるので、Q9の両端にはVs1+Vs2の電

圧（サステイン電圧）が印加され、Q10がオンの時には共通のX電極に+Vsが印加されるので、Q9の両端にはVs+Vsの電圧が印加されることになる。同様に、Q8の両端にはVs+Vs又はVs+Vwが印加される。従って、Vs>Vs及びVs>Vwであれば、トランジスタQ8、Q9はVs+Vs以上、すなわちサステイン電圧以上の耐圧であればよい。もしVs>Vsであれば、Q9はVs+Vs以上の耐圧であることが必要で、Vw>Vsであれば、Q8はVs+Vw以上の耐圧であることが必要である。このように、維持放電パルスを印加するためトランジスタQ8、Q9はサステイン電圧以上の耐圧であることが必要であるが、Vs>Vs又はVw>Vsであればそれ以上の耐圧が必要になる。

【0011】また、Y共通ドライバでは、ダイオードD1のアノードはQ3、Q5、Q7を介して+Vs1、+Vwy、GNDに接続されており、ダイオードD2のカソードはQ4、Q6を介して-Vs2、+Vyに接続されている。Q3がオンの時には各Y電極に+Vs1が印加され、この電圧は更にD2を介してQ4の端子に印加されるので、Q4の両端にはVs1+Vs2の電圧（サステイン電圧）が印加されることになる。同様に、Q5がオンの時にはQ4の両端にはVwy+Vs2の電圧が印加され、Q4がオンの時にはQ3の両端にはVs1+Vs2が印加される。また、Q6がオンの時にはQ4の両端にはVy+Vs2の電圧が印加されることになる。従って、維持放電パルスを印加するためトランジスタQ3、Q4はサステイン電圧以上の耐圧であることが常に必要であるが、Q3がVwy>Vs1又はVy>Vs1であればそれ以上の耐圧が必要になる。

【0012】一般的には、サステイン出力素子（トランジスタ）の電圧定格が高い場合、素子の飽和電圧も高くなり、この飽和電圧を下げるため、複数の素子を並列駆動したり、チップサイズが大きく形状が大きい素子を使用するなどの対策が必要であり、その分コストが増加するという問題を生じる。本発明は、このような問題を解決するもので、プラズマディスプレイ装置において、リセット期間及びアドレス期間中にサステイン電極（X電極とY電極）にサステイン電圧以上の電圧が印加される場合も、サステイン電圧に応じた電圧定格のサステイン出力素子（トランジスタ）を使用できる回路を実現することを目的とする。

【0013】

【課題を解決するための手段】図3の(A)から(C)は、本発明のサステイン電極駆動回路の基本構成を示す図である。なお、図は一般化して示しており、X電極の場合にはそのままサステイン電極に対応するが、Y電極の場合には走査ドライバが介在することになり、導通している走査ドライバを省略した状態に相当する。

【0014】図3の(A)は、高い方のサステイン電圧

を+Vs1、低い方のサステイン電圧を-Vs2とした時に、リセット期間及びアドレス期間中に+Vs1より高い電圧Vwが印加される場合の構成を示す。図示のように、サステイン出力素子（トランジスタ）Q21とQ22を接続し、その接続ノードはサステイン電極（X電極、Y電極）に接続される。Q21の他方の端子は電圧源+Vs1に接続され、Q22の他方の端子はスイッチSW1を介して電圧源-Vs2に接続されると共に、スイッチSW2を介して電圧源+Vwに接続される。この構成では、維持放電期間中は、スイッチSW1をオン（接続状態に）し、スイッチSW2をオフ（遮断状態に）して、Q21とQ22の両端に+Vs1と-Vs2を印加して、サステイン電極にサステイン電圧(+Vs1, -Vs2)を印加する。従って、Q1とQ2の電圧定格はVs1+Vs2より大きければよい。+Vwを印加する時には、スイッチSW1をオフ、スイッチSW2をオンにしてQ21とQ22の両端に+Vs1と+Vwを印加し、Q22をオン状態にする。この時、Q21にはVw-Vs1が印加されるが、これはVw-Vs2よりも小さく、実際にはVs1+Vs2よりも小さい。

【0015】なお、スイッチSW1とSW2には大きな電圧Vw-Vs2が印加されるが、これらのスイッチは高速動作する必要はなく、小型で低コストで製造できる。また、ここでは説明を簡単にするために、-Vs2は、+Vs1及び+Vwと逆極性であるように示したが、グランドや同極性であってもよく、同様の効果が得られる。

【0016】図3の(B)は、リセット期間及びアドレス期間中に-Vs2より低い電圧-Vwが印加される場合の構成を示す。図示のように、サステイン出力素子（トランジスタ）Q21とQ22を接続し、その接続ノードはサステイン電極（X電極、Y電極）に接続される。Q22の他方の端子は電圧源-Vs2に接続され、Q21の他方の端子はスイッチSW1を介して電圧源+Vs1に接続されると共に、スイッチSW2を介して電圧源-Vwに接続される。後は図3の(A)と同じであり、説明は省略する。

【0017】図3の(C)は、直列に接続されたサステイントランジスタQ21とQ22に並列に容量Cを設け、容量Cにサステイン電圧Vs1+Vs2が保持された状態でサステイン電圧源から切り離し、容量Cの一端に電圧+Vwを印加して容量Cの他端の電圧を高電圧Vs1+Vs2+Vwに引き上げてサステイントランジスタQ21に印加する場合の構成を示す。図示のように、サステイン出力素子（トランジスタ）Q21とQ22を接続し、その接続ノードはサステイン電極に接続される。Q21の他方の端子はスイッチSW3として動作するダイオードD3を介して電圧源+Vs1に接続され、Q22の他方の端子はスイッチSW1を介して電圧源-Vs2に接続されると共に、スイッチSW2を介して電

圧源+V_wに接続される。また、Q₂₁とQ₂₂の他方の端子の間には容量Cが接続されている。

【0018】この構成では、維持放電期間中は、スイッチSW₁をオン（接続状態に）し、スイッチSW₂をオフ（遮断状態に）して、Q₂₁とQ₂₂の両端に+V_{s1}と-V_{s2}を印加して、サステイン電極にサステイン電圧(+V_{s1}, -V_{s2})を印加する。高電圧を印加する時には、SW₁をオンにして容量CにV_{s1}+V_{s2}が保持された状態でSW₁をオフし、SW₂をオンする。これにより、容量Cの他方の端子、すなわちQ₂₁の他方の端子の電圧がV_{s1}+V_{s2}+V_wになり、サステイン電極に印加される。この時、ダイオードD₃はオフ状態になり、SW₃は遮断状態になる。この構成では、Q₂₁とQ₂₂の両端に印加される電圧は、サステイン電圧V_{s1}+V_{s2}を印加する時も高電圧V_{s1}+V_{s2}+V_wを印加する時も同じようにV_{s1}+V_{s2}である。

【0019】

【発明の実施の形態】図4は、本発明の実施例のプラスマディスプレイ装置の全体構成を示す図であり、図1のX共通ドライバ3とY共通ドライバ5の構成が従来例と異なる。図示のように、X共通ドライバ3は、Xサステイン回路11と、V_x回路12と、電圧源V_{s1}のXサステイン回路11への供給経路に設けられたスイッチSW₁₄と、電圧源-V_{s2}のXサステイン回路11への供給経路に設けられたスイッチSW₁₅とを有する。Y共通ドライバ5は、Yサステイン回路21と、Yリセット回路22と、電圧源V_{s1}のYサステイン回路21への供給経路に設けられたスイッチSW₁₁と、電圧源-V_{s2}のYサステイン回路21への供給経路に設けられたスイッチSW₁₂とを有する。

【0020】図5は、本発明の第1実施例の走査ドライバ4及びY共通ドライバ5を含めたY電極駆動回路の構成を示す図である。走査ドライバ4は、従来と同様に、直列に接続したトランジスタQ₁とQ₂、Q₁と並列に設けられたダイオードD₁と、Q₂と並列に設けられたダイオードD₂とを有する。Q₁とQ₂は、高速動作が要求されるが、耐圧はあまり高い必要はない。

【0021】Y共通ドライバ5は、Yサステイン回路21と、Yサステイン回路21と電圧源+V_{s1}の間に設けられたスイッチSW₁₁として動作するダイオードD₄と、Yリセット回路22と、Yサステイン回路21と電圧源-V_{s2}の間に設けられたスイッチSW₁₂と、D₂のカソードとグランドGNDの間に接続されたトランジスタQ_{GY}と、D₁のアノードと電圧源-V_{s2}の間に設けられたスイッチSWSと、制御信号S_{2Y}, G_Y, S_Yのレベルを変換するレベルシフト回路33, 35, 37と、レベルシフト回路33, 35, 37の出力をトランジスタQ_{sY}, Q_{GY}, Q_Sのゲートに印加するプリドライブ回路34, 36, 38とを有する。スイ

ッチSW₁₂とSWSは、それぞれQ_{sY}, Q_Sとダイオードを直列に接続して構成されている。

【0022】Yサステイン回路21は、D₁のアノードに接続されたサステイントランジスタQ₂₃と、D₂のカソードに接続されたサステイントランジスタQ₂₄と、ダイオードとインダクタンス素子を介してD₁のアノードに接続されたトランジスタQ₃₁と、ダイオードとインダクタンス素子を介してD₂のカソードに接続されたトランジスタQ₃₂と、トランジスタQ₂₃, Q₂₄, Q₃₁, Q₃₂の制御信号C_{UY}, C_{DY}, L_{UY}, L_{DY}のレベルを変換するレベルシフト回路23, 25, 27, 29と、レベルシフト回路23, 25, 27, 29の出力をQ₂₃, Q₂₄, Q₃₁, Q₃₂のゲートに印加するプリドライブ回路24, 26, 28, 30と、Q₂₃とQ₃₁の端子間に接続された容量C₁と、Q₂₄とQ₃₂の端子間に接続された容量C₂と、Q₂₃とQ₂₄の端子間に接続された容量C_sと、を備える。Q₃₁, Q₃₂, C₁, C₂及びダイオードとインダクタンス素子は、維持放電期間にY電極に印加する電圧を切り換える時に電力を回収して次に切り換える時に利用する電力回收回路であり、これについては特開平7-160219号公報に開示されているのでここでは詳しい説明を省略する。サステイントランジスタQ₂₃, Q₂₄は、例えば、絶縁ゲートバイポーラトランジスタ(IGBT)で構成され、耐圧300Vのものが使用できる。

【0023】Yリセット回路22は、一方の端子が電圧源V_wに接続され、他方の端子が抵抗とダイオードを介してQ₂₄の他方の端子に接続されたトランジスタQ_Wと、制御信号Wのレベルを変換するレベルシフト回路31と、レベルシフト回路31の出力をトランジスタQ_Wのゲートに印加するプリドライブ回路32とを有する。

【0024】図6は、第1実施例のX共通ドライバ3の構成を示す図である。X共通ドライバ3は、Xサステイン回路11と、Xサステイン回路11と電圧源+V_{s1}の間に設けられたスイッチSW₁₄として動作するダイオードD₅と、V_x回路12と、Xサステイン回路11と電圧源-V_{s2}の間に設けられたスイッチSW₁₅と、制御信号S_{2X}のレベルを変換するレベルシフト回路51と、レベルシフト回路51の出力をスイッチSW₁₅のトランジスタQ_{sX}のゲートに印加するプリドライブ回路52とを有する。スイッチSW₁₅は、Q_{sX}とダイオードを直列に接続して構成されている。

【0025】Xサステイン回路11は、X電極に接続されたサステイントランジスタQ₂₈及びQ₂₉と、ダイオードとインダクタンス素子を介してX電極に接続されたトランジスタQ₃₃と、ダイオードとインダクタンス素子を介してX電極に接続されたトランジスタQ₃₄と、X電極とGNDの間に接続されたトランジスタQ_{GX}と、トランジスタQ₂₈, Q₂₉, Q₃₃, Q₃₄,

QGX の制御信号 CUX, CD, LUX, LDX, GX のレベルを変換するレベルシフト回路41, 43, 45, 47, 53と、レベルシフト回路41, 43, 45, 47, 53の出力を $Q28, Q29, Q33, Q34$ 、 QGX のゲートに印加するプリドライブ回路42, 44, 46, 48, 54と、 $Q28$ と $Q33$ の端子間に接続された容量 $C3$ と、 $Q29$ と $Q34$ の端子間に接続された容量 $C4$ と、を備える。 $Q33, Q34, C28, C29$ 及びダイオードとインダクタンス素子は、維持放電期間に Y 電極に印加する電圧を切り換える時に電力を回収して次に切り換える時に利用する電力回收回路である。

【0026】 Vx 回路12は、一方の端子が電圧源 Vx に接続され、他方の端子が抵抗とダイオードを介して $Q29$ の他方の端子に接続されたトランジスタ Qx と、制御信号 X のレベルを変換するレベルシフト回路49と、レベルシフト回路49の出力をトランジスタ Qx のゲートに印加するプリドライブ回路50とを有する。図7は、第1実施例における駆動波形を示す図である。図示のように、リセット期間には、 X 電極とアドレス電極を $0V$ にした上で Y 電極に高い電圧 $Vs1 + Vs2 + Vw$ を印加して消去放電を発生させる。アドレス期間には、 X 電極に $+Vx$ を印加した状態で、 Y 電極に順次 $-Vs2$ の走査パルスを印加し、走査パルスを印加しない時には Y 電極は GND を印加し、走査パルスの印加に同期して表示セルのアドレス電極にはデータ電圧 Vd を、非表示セルのアドレス電極には GND を印加する。これにより全セルが表示データに対応した状態になる。なお、ここでは $-Vs2$ の走査パルスとしたが、他の電圧とすることも可能である。ただし、その場合には図5のトランジスタ Qs にそのような電圧を供給する電圧源を設ける必要がある。

【0027】維持放電期間には、アドレス電極に GND を印加した上で、 X 電極と Y 電極に交互に $+Vs1$ と $-Vs2$ を印加する。この場合、ベースは $-Vs2$ とし、 X 電極と Y 電極の両方に $-Vs2$ を印加した状態で、一方に $+Vs1$ を印加した後再び $-Vs2$ を印加し、その後他方に $+Vs1$ を印加した後再び $-Vs2$ を印加する動作を繰り返す。これにより、 X 電極と Y 電極間にサステイン電圧 $Vs1 + Vs2$ が印加され、表示セルにおいて維持放電（サステイン放電）が発生し、表示が行われる。

【0028】次に図7の駆動波形と対応させて図5及び図6の回路の動作を説明する。リセット期間においては、アドレス電極に GND を印加すると共に、図6の X 共通ドライバにおいてトランジスタ QGX をオンし、それ以外のトランジスタをすべてオフし、図5の Y 電極駆動回路においてトランジスタ QGY をオンし、それ以外のトランジスタをすべてオフする。次に、 QGY をオフすると共に、 Qsy をオンする。これにより、容量 Cs

に $Vs1 + Vs2$ の電圧が保持される。次に、 Qsy をオフすると共に Qw をオンし、更に $Q23$ をオンする。これにより、図中の VH の電圧が $Vs1 + Vs2 + Vw$ になり、この電圧が $Q23$ と $D1$ を介して Y 電極に印加される。これによりパネルにおいては全面消去放電が発生し、全セルが同じ状態になる。 $Vs1 + Vs2 + Vw$ は $Vs1$ より高い電圧であるが、サステイントランジスタ $Q2$ の両端の電圧は $Vs1 + Vs2 + Vw$ と $+Vw$ であり、電圧差はサステイン電圧 $Vs1 + Vs2$ と同じである。

【0029】アドレス期間では、図6の回路で QGX をオフすると共に、 $Q29$ と QX をオンして X 電極に Vx を印加する。この場合、 $Q28$ の両端には $+Vs1$ と $+Vx$ が印加されることになり、 $Vx - Vs1$ 以上の耐圧が必要である。ここでは $+Vx$ は $+Vs1$ より高い電圧であるが、 $Vx - Vs1$ はサステイン電圧 $Vs1 + Vs2$ より小さく高い耐圧のトランジスタを使用する必要はない。図6の回路を上記のように設定した上で、図5の回路で $Q23, Qw, Qsy$ をオフし、 QGY, Qs をオンする。これにより、 $Q1$ の端子に $-Vs2$ が印加され、 $Q2$ の端子に GND が印加されるので、 $Q1$ をオフして $Q2$ をオンした状態で走査パルスに応じて $Q1$ をオンして $Q2$ をオフすると Y 電極に順次 $-Vs2$ が印加され、走査が行われる。これに応じてアドレス電極のデータ信号を印加することによりパネルが表示データに応じた状態になる。

【0030】サステイン期間では、図5の回路で Qsy 以外のトランジスタをオフし、図6の回路で Qsx 以外のトランジスタをオフする。これにより、サステイントランジスタ $Q23$ と $Q24$ に $+Vs1$ と $-Vs2$ が印加された状態になる。そこで、 $Q23, Q31, Q28, Q33$ をオフし、 $Q24, Q32, Q29, Q34$ をオンした後、 $Q31, Q23$ をオンして $Q32, Q24$ をオフし、 $Q31, Q23$ をオフして $Q32, Q24$ をオンし、 $Q33, Q28$ をオンして $Q34, Q29$ をオフし、 $Q33, Q28$ をオフして $Q34, Q29$ をオンする動作を繰り返して X 電極と Y 電極にサステインパルスを印加する。

【0031】以上のように、第1実施例では、たとえ $Vs1 + Vs2 + Vw$ や Vx がサステイン電圧 $Vs1 + Vs2$ よりも大きても、サステイントランジスタ $Q23, Q24$ に印加される電圧は $Vs1 + Vs2$ 以下であり、高い耐圧のトランジスタを使用する必要がない。なお、第1実施例では、 Y 電極に高電圧の $Vs1 + Vs2 + Vw$ を印加する場合を示したが、 X 電極に高電圧を印加する場合や、正負逆の電圧を印加して消去放電を行う場合にも本発明を適用することにより、サステイントランジスタにかかる電圧をサステイン電圧以下にできる。更に、第1実施例では、容量 Cs を使用して高電圧 $Vs1 + Vs2 + Vw$ を発生したが、このような電圧を出力す

る電圧源を設けて、図6のX共通ドライバと同様に、Q_{Sy}をオフして電圧源-V_{s2}を切り離した上で、サステイントランジスタQ₂₄の端子にこの高電圧を印加するようにもよい。

【0032】図8は、本発明の第2実施例のY電極駆動回路の構成を示す図である。図5と比較して明らかにように、第1実施例において電力回収回路を構成するトランジスタQ₃₁、Q₃₂や容量C₁、C₂などを除き、その代わりに一方の端子がD₁のアノードにダイオードを介して接続され、他方の端子がGNDに接続されたトランジスタQ₃₅と、一方の端子がD₂のカソードにダイオードを介して接続され、他方の端子がGNDに接続されたトランジスタQ₃₆とを設けた点が異なる。なお、Q₃₅とQ₃₆の制御信号GU、GDのレベルシフト回路6₁、6₃と、プリドライブ回路6₂、6₄も設けられている。なお、X共通ドライバも同様に電力回収回路を構成するトランジスタQ₃₃、Q₃₄や容量C₃、C₄などを除き、その代わりにX電極とGNDの間に接続されたトランジスタが設けられているが、図面及び説明は省略する。

【0033】図9は、第2実施例のプラズマディスプレイの駆動波形を示す図である。第1実施例の駆動波形と異なるのは、維持放電期間において、X電極及びY電極に印加する電圧を+V_{s1}と-V_{s2}の間で切り換える時に一旦GNDにする点である。この場合の図8の回路における動作は、例えば、Q₂₃をオンしてY電極に+V_{s1}を印加した状態から、Q₂₃をオフした後Q₃₆をオンして一旦GNDを印加し、その後にQ₃₆をオフしてQ₂₄をオンして-V_{s2}を印加する。

【0034】第2実施例では、図9に示したように維持放電パルス波形に段差を設けている。この結果、維持放電パルスの立ち上り、及び立ち下り時における電圧変化量を小さくし、消費電力を低減することができる。なお、図9に示したように維持放電パルスに段差を設ける上では、維持放電パルスを精密に調整する必要がある。そこで、図10に示すように、図8の第2実施例の回路において、制御信号CU、CD、GU、GDの位相をそれぞれ調整する位相調整回路6₅、6₆、6₇、6₈を設けて、図11に示すように維持放電パルスの変化エッジの位相を調整して維持放電パルスを形成し、消費電力の低減をはかることも可能である。また、この位相調整を第1の実施例における電力回収回路に用いていた場合、電力回収率を向上させることも可能となる。

【0035】図12は、本発明の第3実施例のプラズマディスプレイ装置の全体構成を示す図であり、図4においては図示していない電源回路70を示した図である。電源回路70は、Xサステイン回路11及びYサステイン回路21にスイッチ14、15、11、12を介して電源電圧+V_{s1}と-V_{s2}を供給する。図13は、電源回路70の構成例を示す図であり、(A)は電源電圧

+V_{s1}を発生する部分の構成を示し、(B)は電源電圧-V_{s2}を発生する部分の構成を示す。図示のように、電源制御回路72、74でトランジスタをオン・オフ制御することにより1次側における電流の流れが制御される。1次側における電流の流れが断続することにより、トランスTrの巻線比で2次側に交流電圧が発生する。これをダイオードで整流し、容量で平滑化して+V_{s1}及び-V_{s2}が発生される。電源電圧+V_{s1}及び-V_{s2}の出力端子からパネル1へ供給する電荷量は、表示画像などにより異なる。そこで、ここでは電圧検出回路71、73で出力される+V_{s1}及び-V_{s2}を検出して、検出値を電源制御回路72、74にフィードバックする。電源制御回路72、74は、検出した電圧値に応じてトランジスタをオンするデューティ比を変化させ、常に一定の電源電圧+V_{s1}及び-V_{s2}が出力されるようにしている。

【0036】図14は、電源回路70の別の構成例を示す図であり、(A)は構成を、(B)は動作を説明する図である。図14の(A)に示すように、2次側の2つのコイルの一端は接続されている。図14に示した回路では、-V_{s2}電圧を電圧検出回路75で検出して-V_{s2}電圧が一定になるように電源制御回路76からトランジスタへ供給するドライブ信号を制御している。-V_{s2}電圧出力端子から負荷電流が流れる期間は、図14(B)の電圧VNに示した整流期間に相当する。このVN波形の整流期間が、電圧VPの整流期間と一致した場合、V_{s1}電圧出力端子からも負荷電流が流れる。このような極性になるように図14(A)に示したトランスTrを設計することにより、V_{s1}電圧出力端子と-V_{s2}電圧出力端子から負荷電流が outputする期間を合わせることができる。この結果、上述したように-V_{s2}電圧のみを検出した場合でも、V_{s1}電圧を適切な電圧に設定することができる。本発明では、図14に示した回路を用いることより、図13に示した回路に比べ、電圧検出回路、電圧制御回路等を1回路にできる効果がある。なお、-V_{s2}電圧を検出する代りに、V_{s1}電圧のみを検出制御した場合でも同様である。

(付記1) 第3電極と交差する方向に、互いに隣接して配置された第1電極及び第2電極を有する表示パネルと、前記第1電極を駆動するX駆動回路と、前記第2電極を駆動するY駆動回路とを備え、前記第1電極と前記第2電極に交互に第1電圧と第2電圧を印加して前記第1電極と前記第2電極との間でサステイン放電を行い、前記X駆動回路と前記Y駆動回路は、一方の端子が前記第1電極又は前記第2電極に接続され、他方の端子に前記第1電圧が供給される第1サステイン駆動トランジスタと、一方の端子が前記第1電極又は前記第2電極に接続され、他方の端子に前記第2電圧が供給される第2サステイン駆動トランジスタとをそれぞれ備えるプラズマディスプレイ装置であって、前記第1電極と前記第2電

極の少なくとも一方には、前記第2電圧との電圧差が、前記第1電圧と前記第2電圧との電圧差より大きな第3電圧が印加され、前記第3電圧を印加する前記X駆動回路又は前記Y駆動回路は、前記第2サステイン駆動トランジスタと前記第2電圧の供給源の間に設けられた第1スイッチを備え、前記第3電圧は、前記第1スイッチを開放した状態で前記第1又は第2サステイン駆動トランジスタに供給されることを特徴とするプラズマディスプレイ装置。(1)

(付記2) 付記1に記載のプラズマディスプレイ装置であって、前記第3電圧を印加する前記X駆動回路又は前記Y駆動回路は、前記第3電圧の供給源と前記第2のサステイン駆動トランジスタとの間に設けられた第2スイッチを備えるプラズマディスプレイ装置。(2)

(付記3) 付記1に記載のプラズマディスプレイ装置であって、前記第3電圧を印加する前記X駆動回路又は前記Y駆動回路は、第4電圧の供給源と前記第2サステイン駆動トランジスタとの間に設けられた第2スイッチと、前記第1サステイン駆動トランジスタと前記第1電圧の供給源の間に設けられた第3スイッチと、前記第1サステイン駆動トランジスタの他方の端子と前記第2サステイン駆動トランジスタの他方の端子との間に設けられた容量とを備え、前記第3電圧は、前記第1及び第3スイッチを接続し、前記第2スイッチを開放して前記容量に前記第1と第2電圧の差が保持された状態から、前記第1及び第3スイッチを開放し、前記第2スイッチを接続することにより、前記容量の一方の端子に前記第4電圧を印加して前記容量の他端に前記第1と第2電圧の差に前記第4電圧を加算して発生され、前記第1サステイン駆動トランジスタに供給されるプラズマディスプレイ装置。(3)

(付記4) 第3電極と交差する方向に、互いに隣接して配置された第1電極及び第2電極を有する表示パネルと、前記第1電極を駆動するX駆動回路と、前記第2電極を駆動するY駆動回路とを備え、前記第1電極と前記第2電極に交互に第1電圧と第2電圧を印加して前記第1電極と前記第2電極との間でサステイン放電を行い、前記X駆動回路と前記Y駆動回路は、一方の端子が前記第1電極又は前記第2電極に接続され、他方の端子に前記第1電圧が供給される第1サステイン駆動トランジスタと、一方の端子が前記第1電極又は前記第2電極に接続され、他方の端子に前記第2電圧が供給される第2サステイン駆動トランジスタとをそれぞれ備えるプラズマディスプレイ装置であって、前記第1電極と前記第2電極の少なくとも一方には、前記第1電圧との電圧差が、前記第2電圧と前記第1電圧との電圧差より大きな第3電圧が印加され、前記第3電圧を印加する前記X駆動回路又は前記Y駆動回路は、前記第1サステイン駆動トランジスタと前記第1電圧の供給源の間に設けられた第1スイッチを備え、前記第3電圧は、前記第1スイッチを

開放した状態で前記第1又は第2サステイン駆動トランジスタに供給されることを特徴とするプラズマディスプレイ装置。(4)

(付記5) 付記4に記載のプラズマディスプレイ装置であって、前記第3電圧を印加する前記X駆動回路又は前記Y駆動回路は、前記第3電圧の供給源と前記第1のサステイン駆動トランジスタとの間に設けられた第2スイッチを備え、前記第3電圧は前記第1スイッチを開放した状態で前記第2スイッチを接続して第1サステイン駆動トランジスタに供給されるプラズマディスプレイ装置。(5)

(付記6) 付記4に記載のプラズマディスプレイ装置であって、前記第3電圧を印加する前記X駆動回路又は前記Y駆動回路は、第4電圧の供給源と前記第1のサステイン駆動トランジスタとの間に設けられた第2のスイッチと、前記第2サステイン駆動トランジスタと前記第2電圧の供給源の間に設けられた第3スイッチと、前記第1サステイン駆動トランジスタの他方の端子と前記第2サステイン駆動トランジスタの他方の端子との間に設けられた容量とを備え、前記第3電圧は、前記第1及び第3スイッチを接続し、前記第2スイッチを開放して前記容量に前記第1と第2電圧の差が保持された状態から、前記第1及び第3スイッチを開放し、前記第2スイッチを接続することにより、前記容量の一方の端子に前記第4電圧を印加して前記容量の他端に前記第1と第2電圧の差に前記第4電圧を加算して発生され、前記第1サステイン駆動トランジスタに供給されるプラズマディスプレイ装置。

(付記7) 付記1から6のいずれか1項に記載のプラズマディスプレイ装置であって、前記第1電圧及び前記第2電圧を供給する電源回路を備え、前記電源回路は、前記第1電圧及び前記第2電圧の少なくとも一方を検出する電圧検出回路と、検出した電圧に基づいて前記第1電圧及び前記第2電圧を安定化する電圧制御回路とを備えるプラズマディスプレイ装置。

(付記8) 付記1から7のいずれか1項に記載のプラズマディスプレイ装置であって、前記第1及び第2サステイン駆動トランジスタは、絶縁ゲートバイポーラトランジスタであるプラズマディスプレイ装置。

【0037】

【発明の効果】本発明のプラズマディスプレイ装置によれば、サステイン電極にサステイン電圧以上の電圧を印加する場合でも、サステイン出力素子(トランジスタ)にかかる電圧がサステイン電圧以下になるので比較的の耐圧が低い素子を使用でき、チップサイズを小さくできるのでコストを低減できる。

【図面の簡単な説明】

【図1】プラズマディスプレイ装置の全体構成を示す図である。

【図2】X電極・Y電極駆動回路の従来例を示す図であ

る。

【図3】本発明の駆動回路の基本構成を示す図である。

【図4】本発明の実施例のプラズマディスプレイ装置の全体構成を示す図である。

【図5】本発明の第1実施例のY電極駆動回路の構成を示す図である。

【図6】第1実施例のX電極駆動回路の構成を示す図である。

【図7】第1実施例における各電極の印加電圧波形図である。

【図8】本発明の第2実施例のY電極駆動回路の構成を示す図である。

【図9】第2実施例における各電極の印加電圧波形図である。

【図10】第2実施例の変形例の構成を示す図である。

【図11】変形例の動作を説明する図である。

【図12】本発明の第3実施例のプラズマディスプレイ装置の全体構成を示す図である。

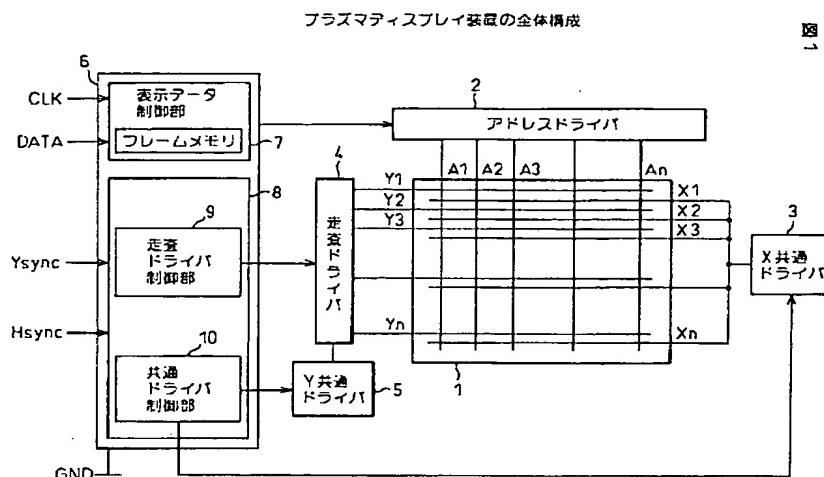
【図13】第3実施例の電源回路の構成例を示す図である。

【図14】第3実施例の電源回路の別の構成例を示す図である。

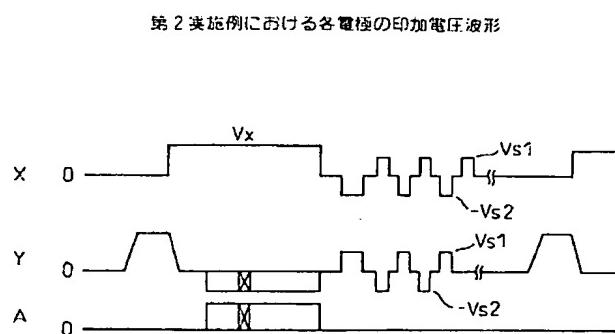
【符号の説明】

- 1…プラズマディスプレイパネル
- 2…アドレスドライバ
- 3…X共通ドライバ
- 4…走査ドライバ
- 5…Y共通ドライバ
- 6…駆動制御回路
- 1 1…Xサステイン回路
- 1 2…Vx回路
- 1 3…Yサステイン回路
- 1 4…Yリセット回路
- SW1, SW12, SW14, SW5…スイッチ
- Q21, Q22, Q23, Q24, Q28, Q29, …
- サステイン出力素子（トランジスタ）

【図1】

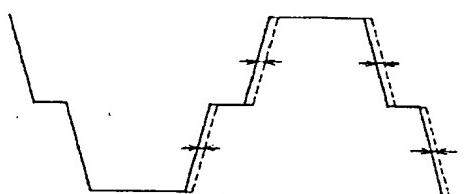


【図9】



【図11】

【図11】変形例の動作説明



【図2】

X電極・Y電極駆動回路の従来例

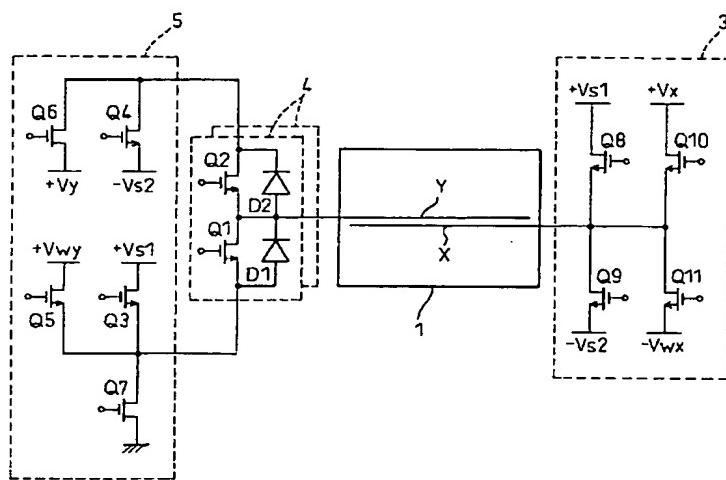
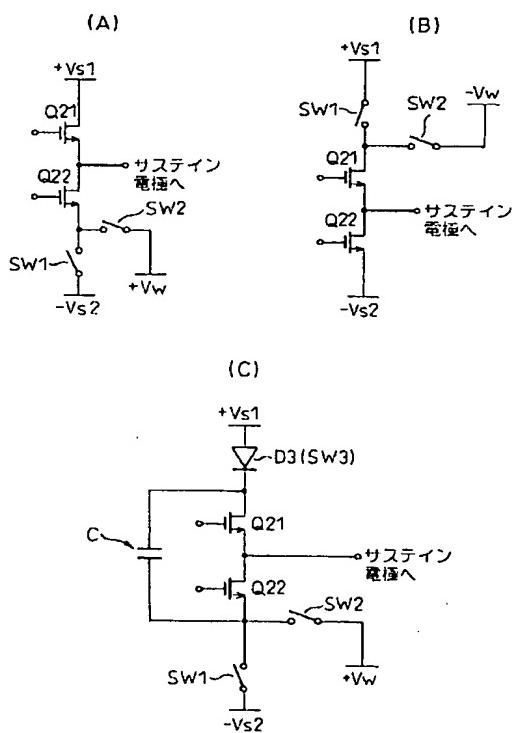


図2

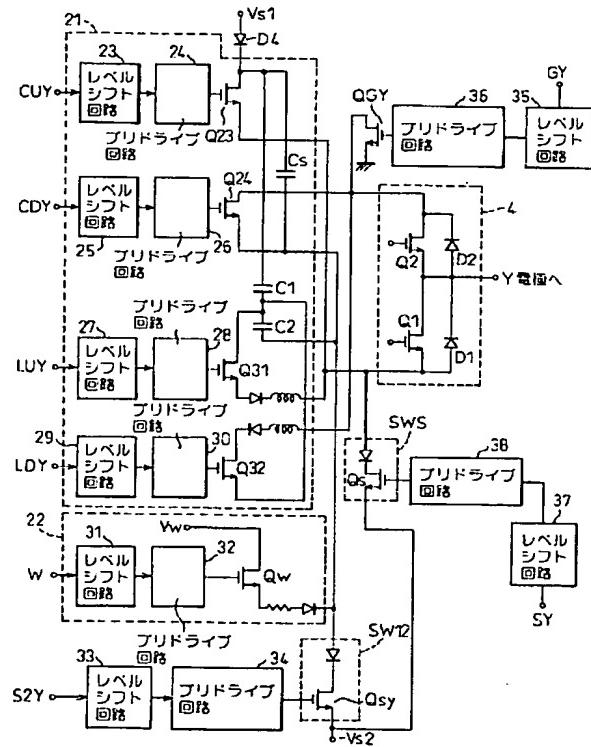
【図3】

図3 本発明の駆動回路の基本構成

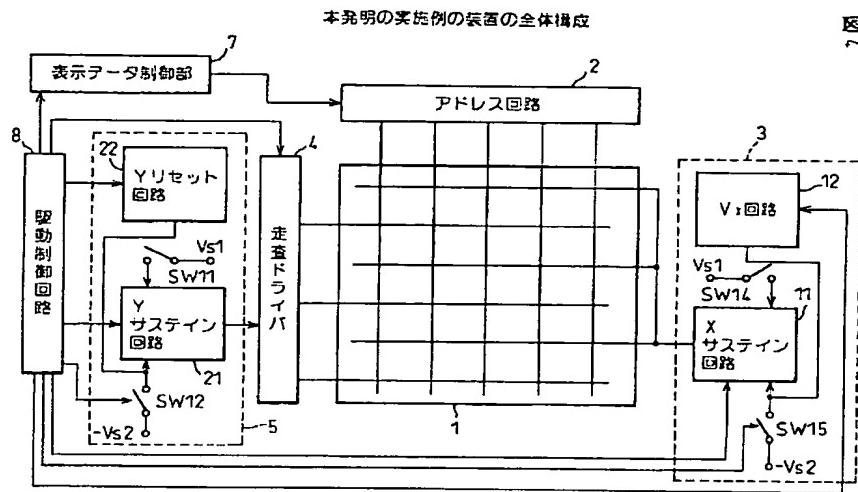


【図5】

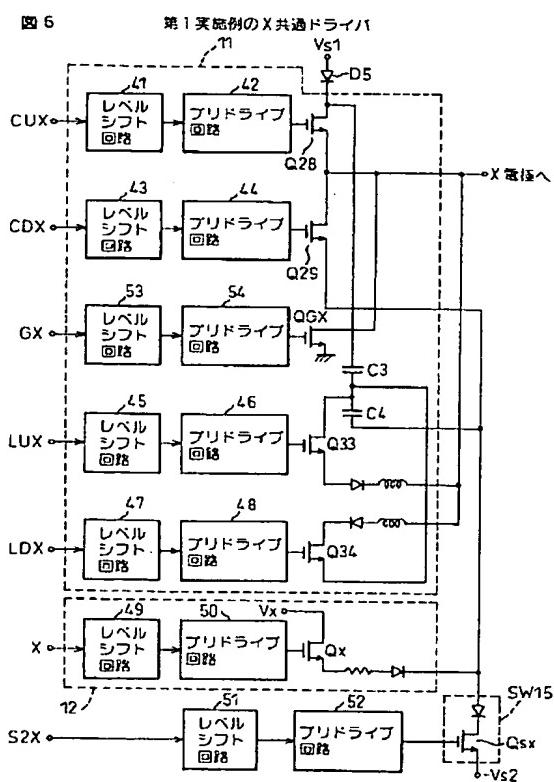
図5 第1実施例のY電極駆動回路



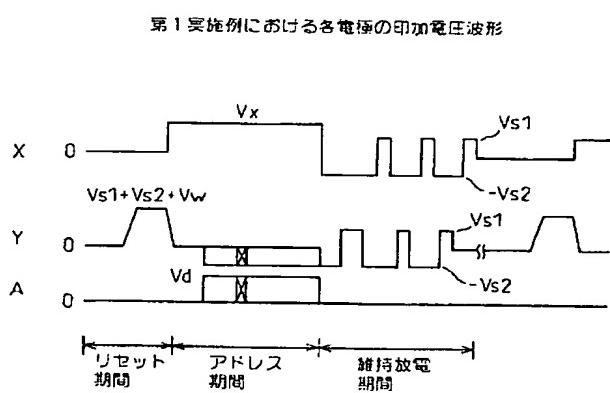
【図4】



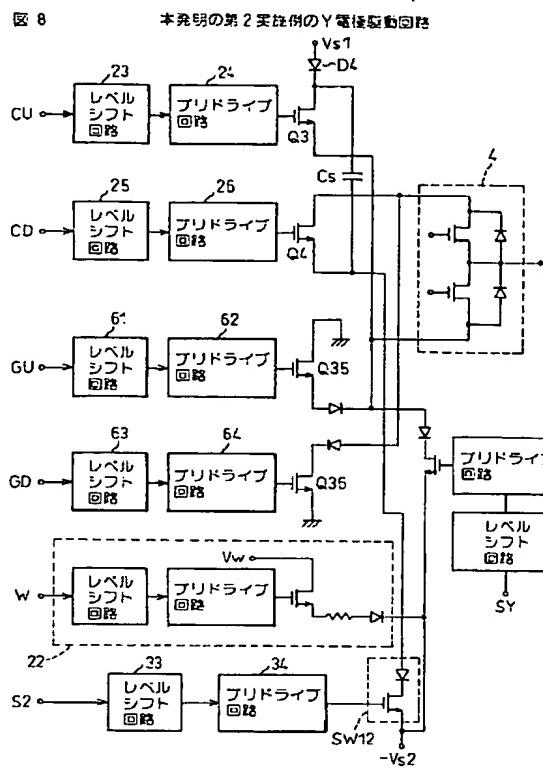
【図6】



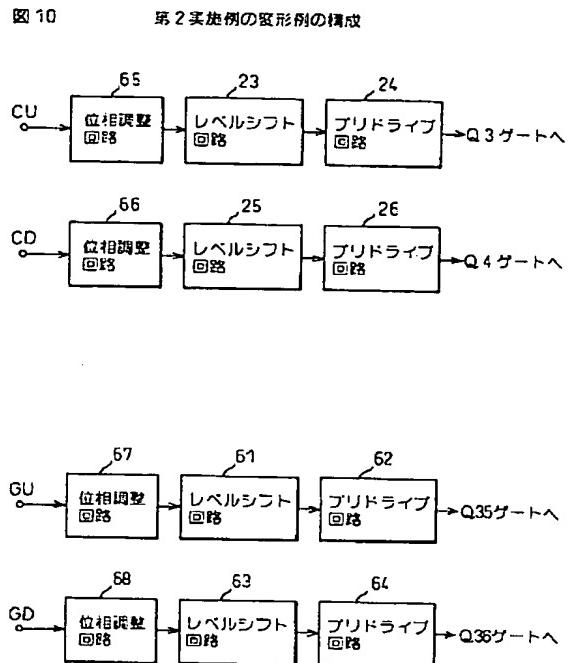
【図7】



【図8】



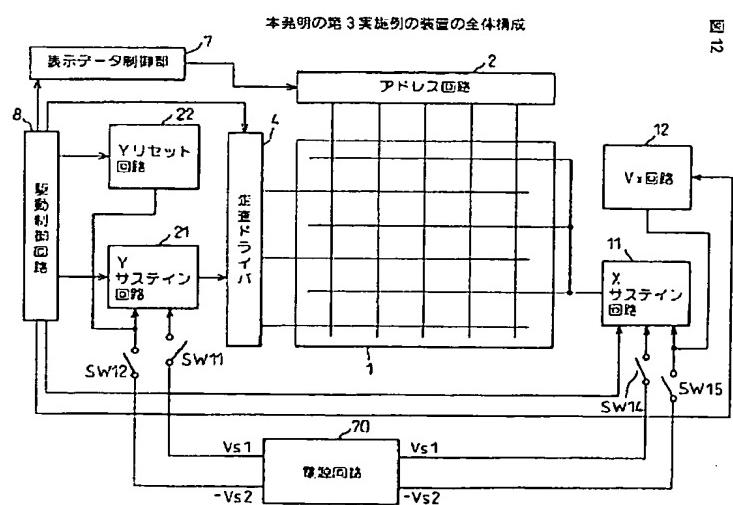
【図10】



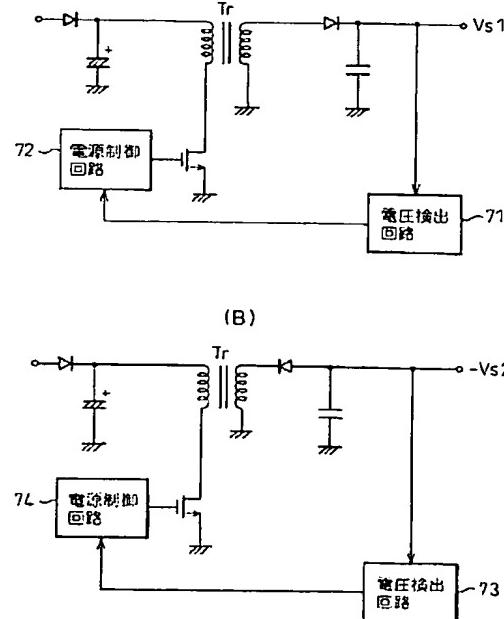
【図13】

図13 電源回路の構成例

【図12】

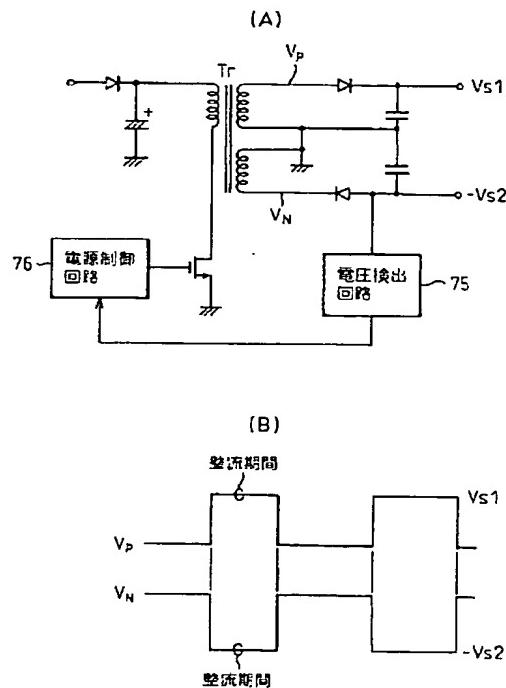


(A)



【図14】

図14 毎源回路の構成例



フロントページの続き

(72) 発明者 岸 智勝

神奈川県川崎市高津区坂戸3丁目2番1号
富士通日立プラズマディスプレイ株式会
社内

(72) 発明者 金澤 義一

神奈川県川崎市高津区坂戸3丁目2番1号
富士通日立プラズマディスプレイ株式会
社内

Fターム(参考) 5C058 AA11 BA01 BA35 BB25
5C080 AA05 BB05 DD30 GG09 HH04
HH05 JJ02 JJ03 JJ04